



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10011279 A**

(43) Date of publication of application: 16 . 01 . 98

(51) Int. Cl

G06F 9/06
G06F 12/06

(21) Application number: 08162878

(22) Date of filing: 24 . 06 . 96

(71) Applicant: TAMURA ELECTRIC WORKS LTD

(72) Inventor: NISHIKAWA TAKASHI
ARAKI SHOKEN

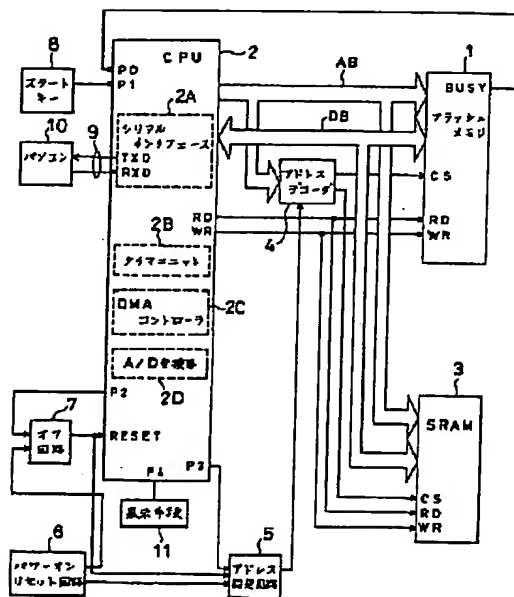
(54) ELECTRONIC APPLIANCE

(57) Abstract:

PROBLEM TO BE SOLVED: To rewrite data in a flash memory while being loaded on a printed board.

SOLUTION: This appliance is provided with a SRAM (nonvolatile memory) 3 with a first area storing a rewriting program for rewriting data such as program data and function setting data and a second area to which data is transferred to be stored, a personal computer 10 transmitting changing data of data, and an address setting circuit 5 mutually replacing each address in the flash memory 1 and RAM with respect to CPU 2 after the rewriting program is transferred to the first area. When the personal computer 10 is connected, CPU is started to execute a rewriting program in the first area to transfer data in the memory 1 to the second area, to erase the memory 1 and to rewrite data in the memory 1 based on changing data from the personal computer 10.

COPYRIGHT: (C)1998,JPO



THIS PAGE IS BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-11279

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/06	5 4 0		G 0 6 F 9/06	5 4 0 M
12/06	5 2 0		12/06	5 2 0 E

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平8-162878

(22) 出願日 平成8年(1996) 6月24日

(71) 出願人 000003632

株式会社田村電機製作所

東京都目黒区下目黒2丁目2番3号

(72) 発明者 西川 貴志

東京都目黒区下目黒2丁目2番3号 株式会社田村電機製作所内

(72) 発明者 荒木 正實

東京都目黒区下目黒2丁目2番3号 株式会社田村電機製作所内

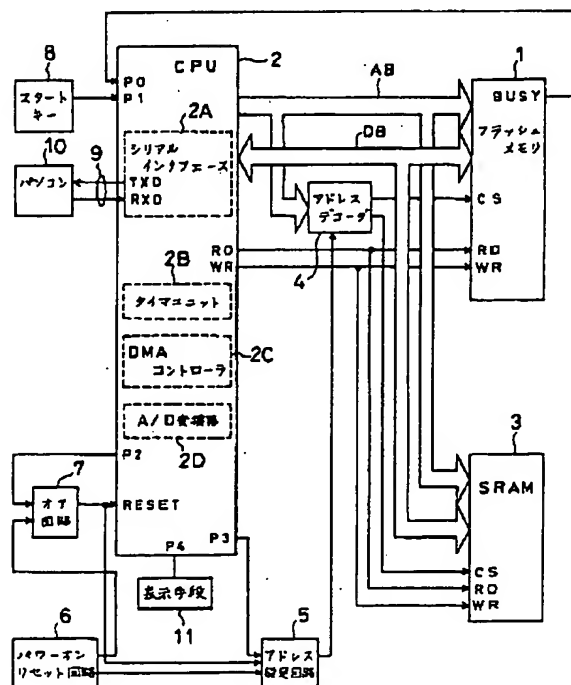
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 電子機器

(57) 【要約】

【課題】 フラッシュメモリのデータをプリント基板に装着したまま書換える。

【解決手段】 プログラムデータ及び機能設定データ等のデータの書き換えを行う書換プログラムを格納する第1のエリアと、データが転送されて格納される第2のエリアとを有するSRAM3と、データの変更データを送信するパソコン10と、第1のエリアに書換プログラムが転送された後CPU2に対するフラッシュメモリ1及びSRAMの各アドレスを相互に入れ替えるアドレス設定回路5とを備え、パソコン10が接続されるとCPUを起動して第1のエリアの書換プログラムを実行させて、メモリ1のデータを第2のエリアに転送し、かつメモリ1の消去を行うと共に、パソコン10からの変更データに基づいてメモリ1のデータ書き換えを行う。



【特許請求の範囲】

【請求項1】 データが格納されると共に、データの書き換えが可能な不揮発性メモリと、前記不揮発性メモリをアクセスして所定の処理を行うCPUとからなる電子機器において、

データの書き換えを行う書き換えプログラムを格納する第1のエリアと、前記データが転送されて格納される第2のエリアとを有しデータの書き換えが可能な揮発性メモリと、前記データの変更データを送信する外部装置と、第1のエリアに書き換えプログラムが格納された後にCPUに対する揮発性メモリ及び不揮発性メモリの各アドレスを相互に入れ替えるアドレス設定手段と、所定の条件により起動されCPUに第1のエリアの書き換えプログラムを実行させて不揮発性メモリのデータを第2のエリアに転送すると共に、転送終了後に前記変更データに基づいて前記不揮発性メモリの書き換えを行う制御手段とを備えたことを特徴とする電子機器。

【請求項2】 請求項1において、

前記外部装置は前記揮発性メモリの第1のエリアに格納される前記書き換えプログラムを有し、かつ前記不揮発性メモリに前記外部装置からの書き換えプログラムを受信して第1のエリアに転送する転送プログラムを格納することを特徴とする電子機器。

【請求項3】 請求項1において、

前記書き換えプログラムと、この書き換えプログラムを前記揮発性メモリの第1のエリアに転送する転送プログラムとを前記不揮発性メモリに格納することを特徴とする電子機器。

【請求項4】 請求項1ないし請求項3の何れかの請求項において、

前記不揮発性メモリは複数のブロック単位で構成され、データの部分書き換えを可能にしたことを特徴とする電子機器。

【請求項5】 請求項1ないし請求項4の何れかの請求項において、

表示手段と、前記不揮発性メモリのデータ書き換えの正否をチェックするチェック手段と、チェック手段のチェック結果がエラーとなる場合に表示手段にエラー表示を行う手段とを備えたことを特徴とする電子機器。

【請求項6】 請求項1ないし請求項5の何れかの請求項において、

前記不揮発性メモリのデータ書き換えの終了後前記CPUの処理を前記不揮発性メモリのプログラム実行処理に復帰させるリスタート手段を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電氣的書き込み及び消去が可能なフラッシュメモリ内のプログラムデータや機能設定データ等のデータの書き換えを可能にする電

子機器に関する。

【0002】

【従来の技術】 ROM等のメモリは電源が断となっても記憶したデータが保持できることからプログラム等のデータを保持するのに適している。しかし、ROMは、プログラム等の変更が生じた場合、これを電氣的な消去して新たなデータを書き込むことが不可能であるため、新たにデータが書き込まれたROMと交換を行う必要がある。このため、近年は各種の電子機器にはフラッシュメモリが多用されている。このフラッシュメモリはROMと同様、電源が供給されなくなってもデータを保持することが可能な不揮発性メモリであるため、本電子機器を制御するCPUのプログラムや本電子機器の機能設定データ等、停電時のバックアップが必要なデータの格納に好適である。また、フラッシュメモリはROMと異なってデータの電氣的な消去や書き換えが可能なメモリであるため、プログラムデータや機能設定データの変更時に新たなデータに書き換えることができる。

【0003】

【発明が解決しようとする課題】 しかしこのようなフラッシュメモリにおいても、プログラムデータ等を変更する場合は、通常はソケット等を介して装着されているプリント基板から取り外してデータを書き換えている。しかし、近年のフラッシュメモリは面実装タイプのものが多く、このようなタイプのフラッシュメモリはプリント基板に直接ハンダ付けされているため、プログラムデータ等の変更が困難となっている。従って本発明は、フラッシュメモリのデータの書き換えを行う場合、フラッシュメモリをプリント基板等から取り外すことなく書き換え可能にすることを目的とする。

【0004】

【課題を解決するための手段】 このような課題を解決するために本発明は、データの書き換えを行う書き換えプログラムを格納する第1のエリアと、データが転送されて格納される第2のエリアとを有しデータの書き換えが可能な揮発性メモリ（SRAM）と、上記データの変更データを送信する外部装置と、第1のエリアに書き換えプログラムが格納された後にCPUに対する揮発性メモリ及び不揮発性メモリの各アドレスを相互に入れ替えるアドレス設定手段とを備え、制御手段は所定の条件により起動されCPUに第1のエリアの書き換えプログラムを実行させて不揮発性メモリ（例えばフラッシュメモリ、電源バックアップされたRAMでも良い）のデータを第2のエリアに転送し、転送終了後に外部装置からの変更データに基づいて不揮発性メモリの書き換えを行うようにしたものである。

【0005】 また、外部装置はSRAMの第1のエリアに格納される上記書き換えプログラムを有し、かつ不揮発性メモリに、外部装置からの書き換えプログラムを受信して第1のエリアに転送する転送プログラムを格納す

3

るようにしたものである。また、書き換えプログラムとこの書き換えプログラムをSRAMの第1のエリアに転送する転送プログラムを不揮発性メモリに格納するものである。また、不揮発性メモリを複数のブロック単位に構成し、データの部分書き換えを可能にしたものである。また、表示手段と、不揮発性メモリのデータ書き換えの正否をチェックするチェック手段と、チェック手段のチェック結果がエラーとなる場合に表示手段にエラー表示を行う手段とを設けたものである。また、不揮発性メモリのデータ書き換えの終了後CPUの処理を不揮発性メモリのプログラム実行処理に復帰させるリスタート手段を設けたものである。

【0006】

【発明の実施の形態】以下、本発明について図面を参照して説明する。図1は本発明に係る電子機器の要部構成を示すブロック図である。同図において、電子機器内には、プログラムデータや本電子機器の機能設定データ等のデータが格納され電氣的に書込消去が可能な不揮発性メモリであるフラッシュメモリ1と、フラッシュメモリ1内のプログラムを実行して所定の処理を行うCPU2と、フラッシュメモリ1内のデータの変更時にこれらのデータを一時的に格納する揮発性メモリであるSRAM3と、CPU2からのアドレス出力を受けてフラッシュメモリ1及びSRAM3の何れか一方を選択するアドレスデコーダ4とが設けられている。

【0007】また、この他電子機器には、アドレスデコーダ4を制御してアドレスの割付変更を行うアドレス設定回路5と、電源投入時にCPU2及びアドレス設定回路5にリセット信号を出力するパワーオンリセット回路6と、CPU2の制御またはパワーオンリセット回路6からのリセット信号によりCPU2をリセットするオア回路7とが設けられている。CPU2には、シリアルインタフェース2A、タイマユニット2B、DMAコントローラ2C及びA/D変換器2Dが内蔵され、ポートP1及びP4を介してそれぞれスタートキー8及び表示手段11が接続されると共に、内蔵のシリアルインタフェース2Aに、RS-232C信号線9を介してパソコン10が接続されている。なお、図1において、ABはアドレスバス、DBはデータバスをそれぞれ示す。

【0008】さて以上のように構成された電子機器において、フラッシュメモリ1に格納されているデータの変更が生じた場合はパソコン10をCPU2に接続すると共に、スタートキー8を押下する。すると、CPU2はこれを検出してフラッシュメモリ1内の後述する転送プログラムを実行して、フラッシュメモリ1内の書き換えプログラムをSRAM3に転送し、転送終了後はSRAM3の書き換えプログラムを実行する。

【0009】そして、CPU2は以降はSRAM3に転送された書き換えプログラムを実行することによってフラッシュメモリ1のデータの書き換えを行う。即ち、C

4

PU2はパソコン10からの書き換えデータを受信すると、CPU2はフラッシュメモリ1内のその書き換えデータに該当するセクタのデータをSRAM3に転送し、SRAM3上で該当部分を受信データに書き換えるデータ編集処理を行う。そしてデータ編集が終了すると、フラッシュメモリ1の該当セクタのデータを消去し、SRAM3の編集データを該当セクタに書き込む処理を行う。なお、フラッシュメモリ1の消去時及びデータ書き換え時にはフラッシュメモリ1のBUSY端子から出力されるビジー信号を確認しながらデータの書き換え等を行う。

【0010】このようにしてSRAM3に転送された書き換えプログラムの実行によりフラッシュメモリ1のデータの書き換えが行われ、書き換えが終了するとCPU2はフラッシュメモリ1のプログラムを実行する通常処理に復帰する。このように、CPU2がSRAM3の書き換えプログラムを実行することによりフラッシュメモリ1のデータを書き換えるため、フラッシュメモリ1を装着されているプリント基板等から取り外すことなくデータの書き換えが可能になる。また、この間CPU2のプログラム実行動作は停止せず、従って速やかにフラッシュメモリ1のデータを書き換えることが可能になる。

【0011】図2は、フラッシュメモリ1及びSRAM3の構成を示す図である。フラッシュメモリ1は同図(a)に示すように各セクタに分割されており、セクタ「0」～「n-2」にはプログラムデータが格納され、セクタ「n-1」には本電子機器の機能設定データが格納される。また、セクタ「n」には、パワーオン時の初期処理を行うイニシャルプログラムPG1及びデータの書き換えを行うための第1の書き換えプログラムPG2が格納されこのセクタは保護エリア（書き換え不可能なエリア）と呼ばれる。

【0012】保護エリアに格納される第1の書き換えプログラムPG2は、スタートキー8の押下等を検出して書き換え処理に移行する書き換え開始プログラムPG3と、フラッシュメモリ1内の保護エリアに格納されているプログラムをSRAM3に転送する第1の転送プログラムPG4と、CPU2をSRAM3のプログラムの処理に移行させる処理移行プログラムPG5と、パソコン10からの書き換えデータを受信してその正否をチェックするチェック用プログラムPG6と、フラッシュメモリ1の他のセクタのデータをSRAM3に転送する第2の転送プログラムPG7と、パソコン10から受信した書き換えデータをSRAM3上で編集しフラッシュメモリ1に書き込む編集プログラムPG8と、フラッシュメモリ1への書き換えが終了した時に表示手段11に対し終了表示やエラー表示を行うエラー処理プログラムPG9と、書き換え終了時に次の処理を再開させるリスタート処理プログラムPG10とから構成されている。

【0013】このうち、第1の転送プログラムPG4に

よってSRAM3に転送されるプログラムとしては、チェック用プログラムPG6、第2の転送プログラムPG7、編集プログラムPG8、エラー処理プログラムPG9及びリスタート処理プログラムPG10があり、これらを第2の書き換えプログラムPG11と称する。一方、SRAM3の構成は図2(b)に示すように、フラッシュメモリ1から転送された第2の書き換えプログラムPG11が格納されるプログラム領域(第1のエリア)と、フラッシュメモリ1の保護エリア以外の他のセクタ領域からの転送データが格納されるデータ領域(第2のエリア)とからなる。

【0014】ところでCPU2がフラッシュメモリ1のデータを書き換える場合、本願発明では、内蔵のシリアルインタフェース2Aを介してパソコン10からの書換データを受信すると共に、受信データをSRAM3やフラッシュメモリ1に書き込む場合はDMAコントローラ2Cを用いて書き込むようにしている。この他、データ書換時には内蔵のタイマユニット2Bも用いるようにしている。これは、このようなシリアルインタフェース2A、DMAコントローラ2C等がCPU2に対する割り込み機能を有しており、この割り込み機能を活用すればデータを速やかに書き換えることができるからである。

【0015】図4(a)はCPU2のメモリマップを示す図であり、CPU2には「0」番地から順に、リセット、マスク不可割り込みNMI、外部割り込みIRQ、タイマユニット2Bによるタイマ割り込みTMI、DMAコントローラ2CによるDMA割り込みDMI及びシリアルインタフェース2Aによるデータ受信割り込みSCIの各アドレスが割り当てられている。こうした各割り込み機能を有するCPU2に対して、常時は、図4(b)に示すようにフラッシュメモリ1のセクタ「0」の領域が上記各割り込みアドレスに対応して配置され、フラッシュメモリ1の配置の後にSRAM3のプログラム領域が配置される。

【0016】従って、常時は、各インタフェースによる各割り込み要因が発生すると、CPU2は対応の割り込みアドレスにジャンプしてフラッシュメモリ1の対応アドレスに格納されている命令を実行し所定の処理を行う。一方、フラッシュメモリ1のデータ書換時には、CPU2の各割り込みアドレスには、図4(c)に示すように、SRAM3のプログラム領域が配置されるようにアドレス設定回路5によりアドレスの割付変更が行われる。そしてこのSRAM3の配置に続きフラッシュメモリ1が配置される。

【0017】即ち、フラッシュメモリ1のデータ書換時に、フラッシュメモリ1からSRAM3のプログラム領域へ書き換えプログラムを転送した後、CPU2はアドレス設定回路5に対してアドレスの割付変更を指示する。すると、アドレス設定回路5は、アドレスデコーダ4を制御し、CPU2のフラッシュメモリ1に対するア

ドレスと、CPU2のSRAM3に対するアドレスとを相互に入れ替えさせる。この結果、データ書き換えが行われるときには、SRAM3のプログラム領域がCPU2の各割り込みアドレスに対応するように配置される。従って、CPU2は以降、SRAM3の書き換えプログラムを実行してデータ書き換えを行う場合、データ受信割り込みSCIやタイマ割り込みTMI等の各割り込み機能を用いたデータの受信、及びDMA割り込みDMIを用いたデータの書き換えが可能になり、データを短時間で受信でき、かつ短時間で書き換えることができる。

【0018】次に図3のフローチャートを参照して本電子機器のデータ書き換え動作を具体的に説明する。まず、フラッシュメモリ1のデータ書き換えを行う場合、パソコン10上で書き換えデータを作成した後、CPU2とRS-232C信号線9により接続し、スタートキー8を押下する。すると、フラッシュメモリ1のプログラムを実行して通常処理を行っているCPU2は、ステップS1でスタートキー8の検出判断を行い、スタートキー8の押下を検出すると、通常処理を中断してフラッシュメモリ1内の保護エリアの書き換え開始プログラムPG3を実行しステップS2でパソコン10との接続の有無を判断する。

【0019】ここでパソコン10との接続が検出されると、CPU2は保護エリアの第1の転送プログラムPG4を実行し、ステップS3で第2の書き換えプログラムPG11をSRAM3のプログラム領域に転送する。その後、ステップS4で保護エリアの処理移行プログラムPG5を実行することにより、アドレス設定回路5を制御してアドレスデコーダ4により、CPU2のフラッシュメモリ1に対するアドレスと、CPU2のSRAM3に対するアドレスとを相互に入れ替えさせる。そしてその後、CPU2はステップS5以降の各ステップでSRAM3に転送されている第2の書き換えプログラムPG11の実行を開始する。

【0020】この場合CPU2は、まず第2の書き換えプログラムPG11中のチェック用プログラムPG6を実行することによりRS-232C信号線9を介しパソコン10に受信レディ信号をステップS6で送信する。この受信レディ信号の送信に対しパソコン10では書き換えデータを送信してくる。パソコン10側から送信されるこの書き換えデータは、書き換えデータそのものと、その書き換えデータのアドレス(フラッシュメモリ1のアドレス)を含むデータである。このように構成することによって、パソコン10ではフラッシュメモリ1のデータ書換時に全てのデータを送信せずに変更データのみを送信できるため、データの送信時間を短縮できる。また、本装置においても書き換えデータの受信時間が短縮されると共に、変更データのみを書き換えるだけで良く、従ってデータの書換時間を短縮できる。

【0021】CPU2はパソコン10からの書き換えデ

7

ータをステップS7で受信する。そして受信した書き換えデータが正しいか否かをステップS8でそのデータのチェックサム演算を行って判断する。ここでステップS8の判断の結果、正規な書き換えデータが受信できないと判断される場合はステップS9でパソコン10に対し再送要求を行ってステップS6へ戻る。そして、パソコン10から再送される書き換えデータを受信する。また、ステップS8の判断の結果、正規な書き換えデータが受信できれば、ステップS10へ移行し、その受信データがデータ書換の終了を示す終了コードではないことを確認のうえ、CPU2はSRAM3に転送されている第2の転送プログラムPG7を実行する。

【0022】そしてこの第2の転送プログラムPG7の実行により、受信データの該当アドレスに相当するフラッシュメモリ1のセクタの全データをステップS11でSRAM3のデータ領域に転送する。その後CPU2は編集プログラムPG8を実行することによりステップS12でSRAM3のデータ領域の該当データを、受信した書き換えデータに書き換えるデータ編集処理を行い、かつステップS13でフラッシュメモリ1の該当セクタにデータ「00」または「FF」H（16進）を書き込むことにより消去する。さらに、消去した該当セクタに対しステップS14でSRAM3のデータ領域の編集データを転送して書き込む。

【0023】その後、SRAM3に転送されているエラー処理プログラムPG9を実行し、フラッシュメモリ1へデータが正常に書き込まれたか否かをそのデータのチェックサム演算を行うことによりチェックする。即ち、フラッシュメモリ1の該当セクタの消去前のチェックサムと、新たに該当セクタに書き込まれた編集データのチェックサム演算結果との比較照合を行い、チェックサムエラーが発生すれば、SRAM3の別途領域にエラーフラグをセットする。このようにしてフラッシュメモリ1の1つのセクタに対するデータの部分書換が行われる。

【0024】その後、CPU2はステップS6に戻ってSRAM3のチェック用プログラムPG6を再度実行することにより、パソコン10側から送信される次のセクタに関する書き換えデータの受信及び受信データのチェックを行う。そして、第2の転送プログラムPG7の再実行により、受信データの該当アドレスに相当するフラッシュメモリのセクタのデータをステップS11でSRAM3のデータ領域に転送し、編集プログラムPG8を再実行することでステップS12～S14のデータ書き換え処理を同様に言いデータ書き込みエラー等も同様にチェックする。

【0025】このようにして、SRAM3の書き換えプログラムPG11を実行することによりフラッシュメモリ1の各セクタのデータがパソコン10側から送信されるデータに順次書き換えられる。そして、パソコン10側からデータ書き換えの終了を示す終了コードが送信さ

8

れ、ステップS10の「終了コード」が「Y」と判定されると、CPU2は上記エラー処理プログラムPG9を実行し、SRAM3の別途領域に書き込みエラーフラグがセットされているか否かを判断する。そしてエラーフラグがセットされていれば表示手段11にエラー表示を行い、エラーフラグがセットされていなければ、表示手段11に書き込み終了表示を行う（ステップS15）。なお、表示手段11としては、LEDやLCDの他にトーン発生手段がある。また、こうした書き込みエラー時にはエラー信号をパソコン10側に送信してパソコン10にもエラー表示を行う。その後CPU2は、SRAM3に転送されているリスタート処理プログラムPG10を実行することにより、アドレス設定回路5を制御しアドレスデコーダ4により、CPU2のフラッシュメモリ1に対するアドレスと、CPU2のSRAM3に対するアドレスとを交換前の状態に復旧させた後、ステップS16でフラッシュメモリ1のプログラムデータエリアのプログラムを実行する通常処理に移行する。

【0026】なお、書き込み処理の終了後に、CPU2がポートP2を介してオア回路7を駆動することにより自身をリセットし、フラッシュメモリ1のプログラムに復帰させる方法もある。この場合、アドレス設定回路5はオア回路7からのリセット信号によりアドレスデコーダ4を制御し、CPU2のフラッシュメモリ1に対するアドレスと、CPU2のSRAM3に対するアドレスとを交換前の状態に復旧させる。また、CPU2はこのときリセット信号により先頭番地へジャンプしその後先頭番地の命令を実行することでフラッシュメモリ1内の保護エリアのイニシャルプログラムPG1にジャンプする。そしてその後、各セクタの通常プログラムを実行する。また、書き込み処理の終了後にCPU2を待機状態させ、本電子機器の電源のオフ→オンに基づくパワーオンリセットによりリセット回路6からCPU2及びアドレス設定回路5をリセットさせ、同様にフラッシュメモリ1のプログラムに復帰させる方法もある。

【0027】また、書き換えプログラムの起動方法としては、スタートキー8の押下の他に、CPU2がパソコン10との接続を検出したときに直ちにその書き換えプログラムをSRAM3に転送し実行する方法と、パソコン10等の外部装置から「書き換えプログラム転送」コマンドを受信したときにその書き換えプログラムをSRAM3に転送し実行する方法とがある。

【0028】また、本実施の形態では、書き換えプログラムは常時フラッシュメモリ1の書き換え不可能な保護エリアに格納されているが、書き換え可能な他のセクタに格納しておいても良く、またパソコン10等の外部装置からSRAM3に送信して格納させるようにしても良く、要はフラッシュメモリ1のデータ書き換え時にその書き換えプログラムがSRAM3に格納されていれば良い。従って、書き換えプログラムのSRAM3への格納

時点はフラッシュメモリの書き換え時以外にイニシャル時であっても良い。なお、書き換えプログラムのSRAM3への格納時にもこのデータについてチェックサム演算を行い、エラーが発生すれば再度フラッシュメモリ1の書き換えプログラムをSRAM3にロードする。また、本実施の形態ではフラッシュメモリ1の各セクタ毎にデータの書き換えを行っているが、SRAM3の容量をフラッシュメモリ1の容量より大きくすればフラッシュメモリ1の全てのデータを一括して書き換えることも可能である。

【0029】

【発明の効果】以上説明したように本発明によれば、データの書き換えが可能なSRAMと、プログラムデータ等の変更データを送信する外部装置と、第1のエリアに書き換えプログラムが格納された後にCPUに対する揮発性メモリ及び不揮発性メモリの各アドレスを相互に入れ替えるアドレス設定手段とを備え、制御手段は所定の条件により起動されCPUにSRAMの第1のエリアの書き換えプログラムを実行させて不揮発性メモリのデータをSRAMの第2のエリアに転送し、転送終了後に外部装置からの変更データに基づいて不揮発性メモリの書き換えを行うようにしたので、不揮発性メモリのデータを変更する場合不揮発性メモリをプリント基板等に装着したままデータを書き換えることができる。また、データの書き換え時にアドレス設定手段によりアドレスの入れ替えが行われることから、第1のエリアの書き換えプログラムをCPUに固有の割り込み機能を用いて実行することができ、従って速やかに変更データを受信し書き換えることができる。また、データを書き換える場合に全てのデータを書き換えずに変更部分についてのみ書き換えれば良いことからデータの書き換え効率を向上でき

る。

【0030】また、外部装置はSRAMの第1のエリアに格納される上記書き換えプログラムを有し、かつ不揮発性メモリに、外部装置からの書き換えプログラムを受信して第1のエリアに転送する転送プログラムを格納するので、書き換えプログラムのSRAM内の常駐を不要にすることができる。また、書き換えプログラムとこの書き換えプログラムをSRAMの第1のエリアに転送する転送プログラムを不揮発性メモリに格納するので、外部装置を用いずに直ちにデータの書き換えが可能になる。また、不揮発性メモリのデータ書き換えの正否をチェックし、チェック結果がエラーとなる場合に表示手段にエラー表示を行うので、データの書き換えの正否を的確に認識できる。

【図面の簡単な説明】

【図1】 本発明の電子機器の構成を示すブロック図である。

【図2】 電子機器を構成するフラッシュメモリ及びSRAMの構成を示す図である。

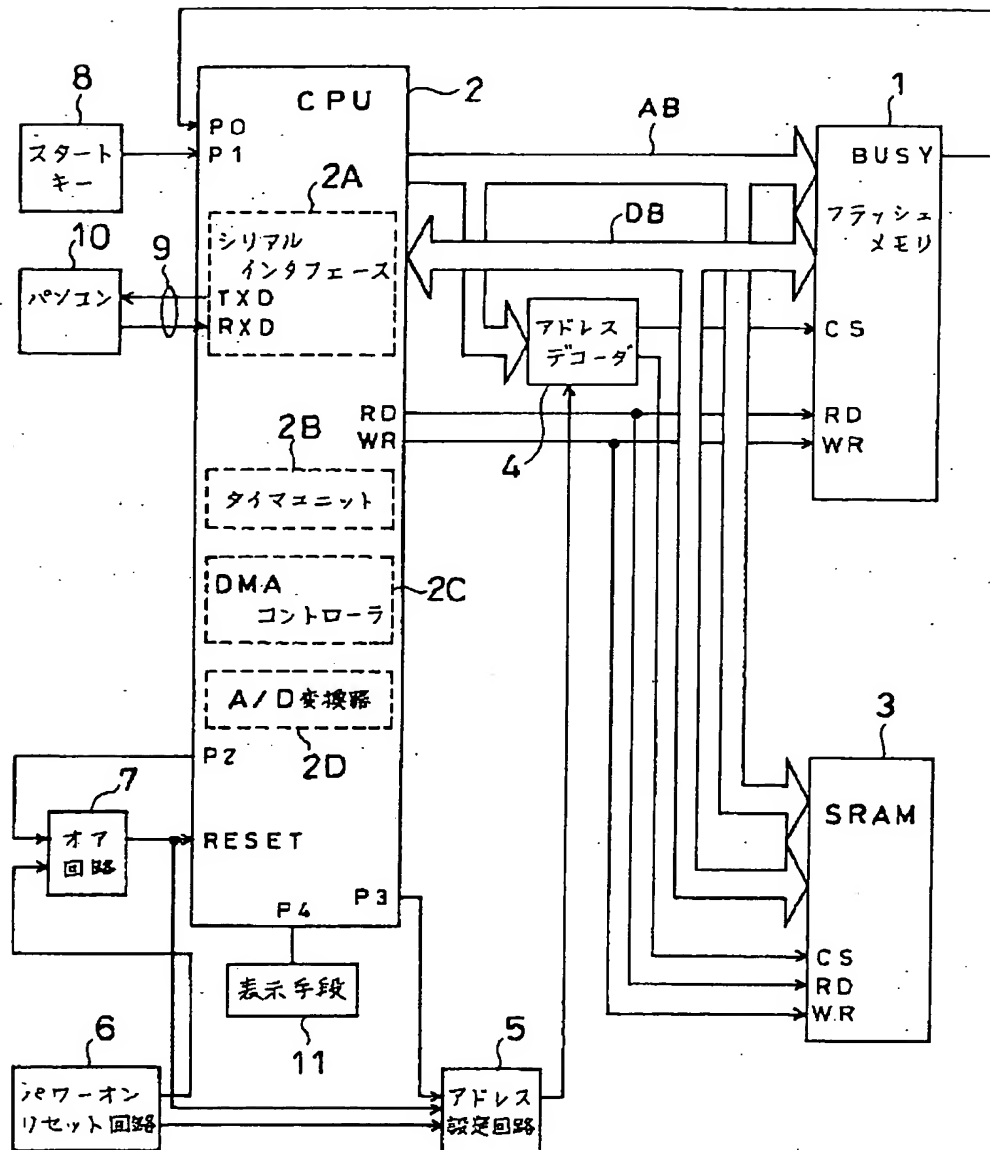
20 【図3】 電子機器のCPUのデータ書き換え動作を示すフローチャートである。

【図4】 CPUのメモリマップ及び各メモリのCPUに対する配置状況を示す図である。

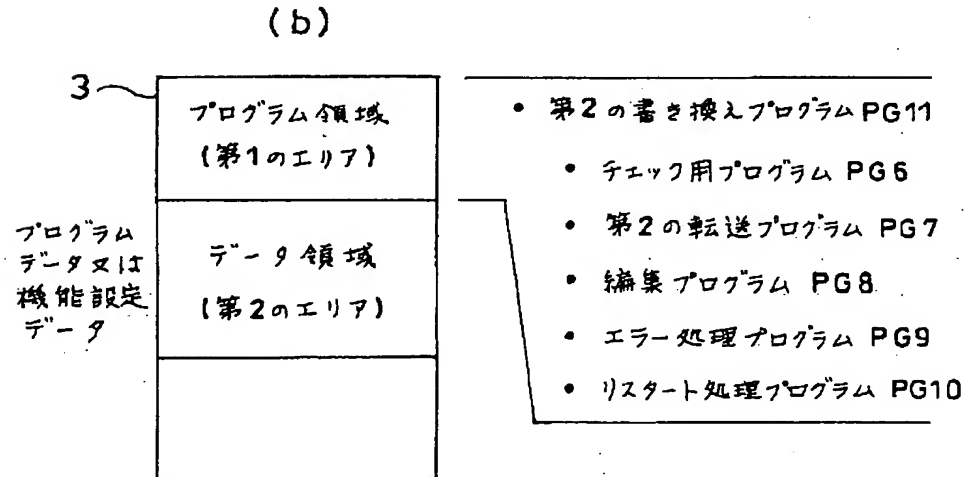
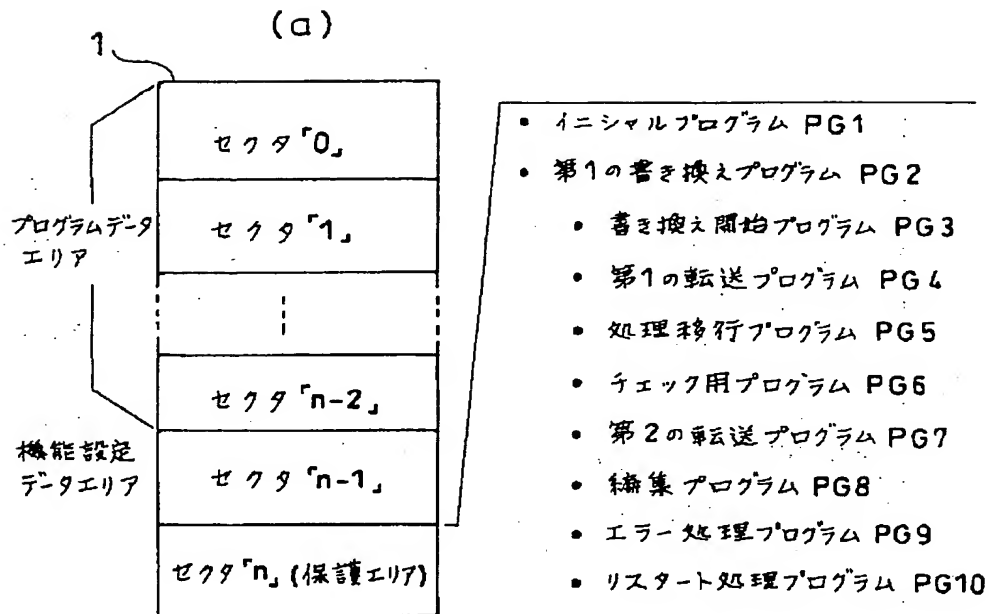
【符号の説明】

1…フラッシュメモリ、2…CPU、2A…シリアルインタフェース、2B…タイマユニット、2C…DMAコントローラ、3…SRAM、4…アドレスデコーダ、5…アドレス設定回路、6…パワーオンリセット回路、7…オア回路、8…スタートキー、10…パソコン、11
30 …表示手段。

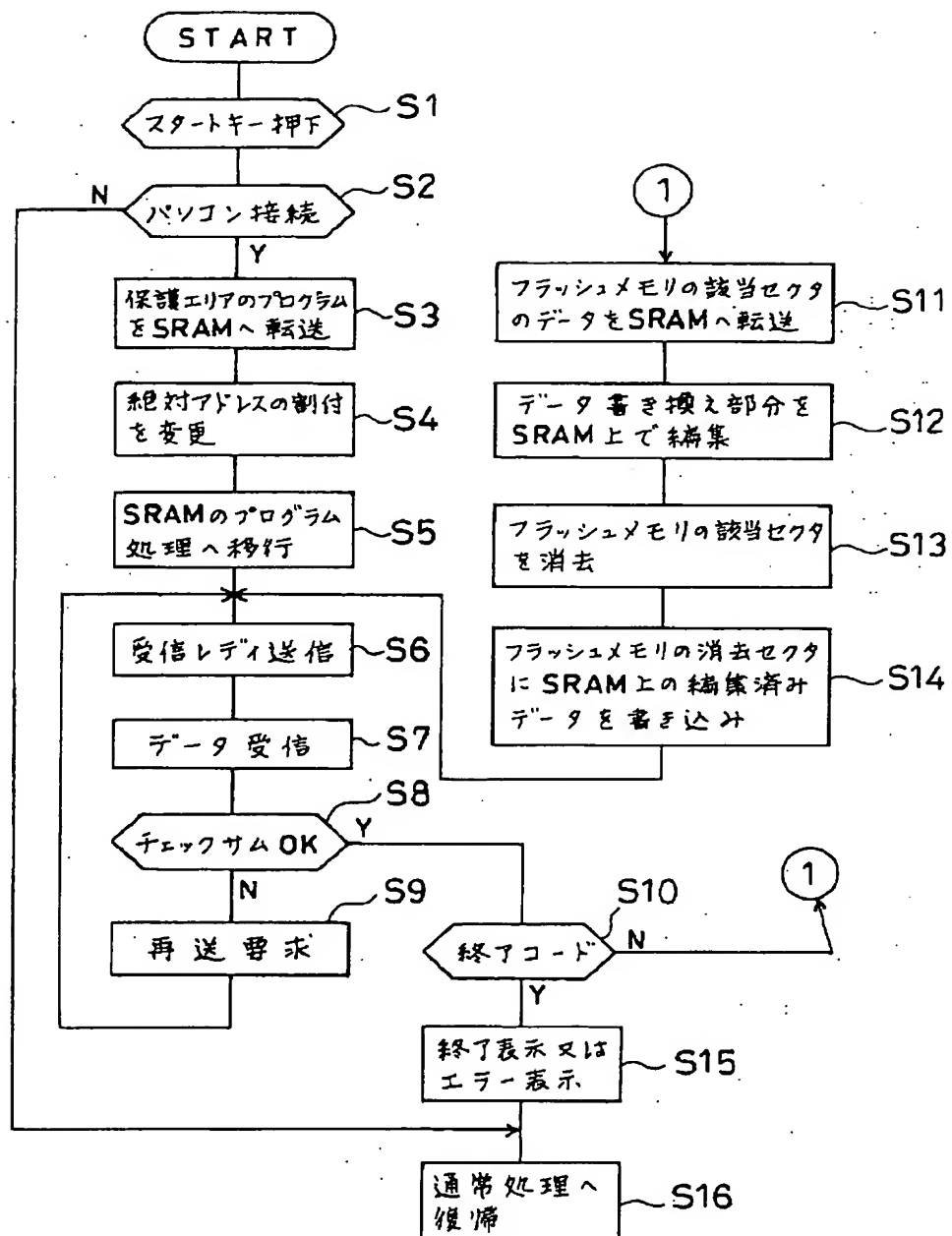
【図1】



【図2】



【図3】



【図4】

